بسمه‌تعالی

درخواست طرح پیشنهادی (RFP)

پژوهش، طراحی، نمونه‌سازی، تست و تدوین دانش فنی بلوک

UCIe ۱.۰ PHY (Die-to-Die Interface)

به همراه adapter و protocol لازم برای اتصال chipletها

با فناوری ۴۰ نانو متر Mixed Signal

HejatEl.ir

تیر ماه ۱۴۰۵

۱- مقدمه

در سال‌های اخیر محدودیت‌های yield، reticle size و پیچیدگی طراحی به شدت افزایش یافته‌اند. در این فضا، معماری chiplet-based به‌عنوان یک پارادایم غالب مطرح شـده اسـت: به‌جای طراحی یک SoC یکپارچه (monolithic die)، سیستم به چند die کوچک‌تر (chiplet) تفکیک می‌شود که هرکدام می‌توانند در نسل فناوری بهینه خود (heterogeneous integration) سـاخته شـوند. این رویکرد به‌ویژه در پردازنده های هوش‌مصـنوعی که نیازمند ترکیب منطق دیجیتال، حافظه پرظرفیت (HBM)، و گاهی بلوک‌های آنالوگ I/O پیچیده هستند، مزیت تعیین‌کننده‌ای ایجاد می‌کند. شـرکت‌هایی مانندAMD ، Intel، و NVIDIA عملاً به این سمت مهاجرت کرده‌اند و نقشه‌راه صنعت نیز به‌وضوح نشان‌دهنده افزایش سهم چیپلت‌ها در نسل‌های آینده است. چیپلت‌ها مشخصاً چند مزیت کلیدی دارند:

- بهبود yield و کاهش هزینه: dieهای کوچک‌تر احتمال defect کمتری دارند؛
- مقیاس‌پذیری معماری: امکان scale-out با افزودن chipletهای مشابه (tile-based design)؛
- طراحی ماژولار وreuse: توسعه IP به‌صورت بلوک‌های مستقل؛
- یکپارچه‌سـازی ناهمگن (heterogeneous integration): مثلاً ترکیب logic در ۵ nm با I/O در ۴۰/۲۸ nm؛
- کاهش زمان توسعه (time-to-market) از طریق استفاده مجدد ازchipletهای آماده؛
- افزایش تیراژ تولید: با استفاده از یک ریزتراشه (chiplet) در چندین تراشه (chip).

در کـاربردهـایAI ، این مزایـا مسـتقیمـاً بـه افزایشthroughput ، بهبود بهره‌وری انرژی (TOPS/W) و انعطاف‌پذیری در پیکربندی سیستم منجر می‌شوند.

گلوگاه اصـلی در معماری چیپلت، die-to-die interconnect اسـت. برخلافinterconnectهای روی یک die، در اینجا باید با محدودیت‌های سـیگنالینگ، توان، latency و تراکم پین‌ها (bump density) در سـطح پکیج مقابله کرد. پروتکل‌های مختلفی برای این منظور تو سعه یافته‌اند، از جمله: AIB (Advanced Interface Bus – Intel)، BoW (Bunch of Wires – OCP)، Infinity Fabric (AMD – proprietary)، NVLink (NVIDIA – proprietary)، و OpenHBI. اما این تنوع باعث fragmentation در اکوسـیسـتم شـده اسـت. UCIe (Universal Chiplet Interconnect Express) به‌عنوان یک اسـتاندارد باز صـنعتی (با حمایتIntel ، AMD، Arm، TSMCو ده‌ها شـرکت دیگر) دقیقاً برای حل این fragmentation معرفی شـده اسـت. UCIe یک stack کامل ارائه می‌دهد که شـامل: Physical Layer (PHY) برای ارتباط die-to-die با چگالی بالا و توان کم، Die-to-Die Adapter برای مدیریتlink، و Protocol Layer با پشتیبانی از PCIe وCXL ا ست.

مزیت کلیدی UCIe این اســت که امکان interoperability بین vendor های مختلف را فراهم می‌کند؛ یعنی می‌توان chipletهایی از منابع مختلف را در یک پکیج واحد ترکیب کرد؛ مشابه نقشی که PCIe در سطح برد ایفا می‌کند (البته نسبت به PCIe دارای latency کمتر و energy/bit کمتر و reach بسیار کوتاهتر است).

۲- هدف فراخوان

هدف این فراخوان انتخاب تیم مناسب برای طراحی، پیاده‌سازی، شبیه سازی، آماده سازی برای tape-out، پشتیبانی فنی حین ساخت نمونه، انجام آزمون‌های عملکردی و اعتبار سنجی IP core کل stack سه لایه UCIe (Die-to-Die Interface) PHY ۱,۰ می‌باشد. در این طرح، علاوه بر طراحی یک PHY مطابق با استاندارد UCIe، پشتیبانی از حالت UCIe Streaming برای ارتباط بین چیپلت ها نیز مورد انتظار است. همچنین پیشنهاددهندگان می‌توانند یک لایه سبک (adapter) برای پیاده سازی یک پروتکل ارتباطی سبک، بهینه شده برای کاربردهای هوش مصنوعی، ارائه دهند. این لایه باید وظایفی مانند بسته‌بندی داده (packetization)، کنترل جریان (flow control) و مدیریت خطا را با هدف کاهش تأخیر، افزایش بهره‌وری پهنای‌باند و کاهش مصرف توان انجام دهد.

اهداف اساسی که مورد انتظار است عبارتند از:

پارامتر	توضیح
UCIe Standard	UCIe ۱,۰ die to die short reach
Data Rates	ترجیحاً ۱۶ Gbps per lane
Number of lanes	۱۶ / ۳۲
PHY latency	هدف latency لایه PHY کمتر از (best-case) ۲ ns بوده و مقدار دقیق آن باید به‌صورت تحلیلی و شبیه‌سازی گزارش شود.
BER	هدف: ≤ ۱e-۱۲ در شرایط channel loss تا ۱۰–۱۵ dB در فرکانس Nyquist و تحت پروفایل jitter مشخص
Energy	۰,۵ pJ/bit

۳- مدل اجرای طرح

طرح باید در فرآیند mixed signal نود فناوری ۴۰ نانومتر اجرا شود. همچنین طراحی آنالوگ باید به‌صورت Low-risk, PDK-compliant و بدون نیاز به IP خاص Foundry انجام شود. فایل‌ها و اسناد لازم شامل PDK فناوری مذکور، توسط مرکز ملی پیشران طراحی تراشه در اختیار مجری قرار خواهد گرفت و پشتیبانی‌های فنی و نرم‌افزاری از تیم مجری به عمل خواهد آمد. پس از اتمام طراحی، فایل‌های GDSII مربوطه توسط مرکز ملی پیشران طراحی تراشه و با حمایت برنامه ملی میکروالکترونیک، برای ساخت (Tape Out) به کارخانهٔ تولید

کنندهٔ تراشه (Foundry) ارسال خواهد شد و مجری نیازی به تعامل شخصی با Foundry نخواهد داشت. پس از ساخت تراشه، عملیات باندینگ توسط مرکز ملی پیشران طراحی تراشه و در نهایت تست و ارزیابی آن مشترکاً توسط مجری و مرکز ملی پیشران طراحی تراشه انجام خواهد گردید.

۴- معماری پیشنهادی

٤- ١- بخش فرستنده(TX)

- Serializer / Data Path:
  - پشتیبانی از serialization ratio حداقل ۱۶:۱؛
  - نرخ داده per-lane در بازه ۸ تا ۱۶ GT/s (NRZ) ؛
  - پیاده‌سازی به‌صورت معماری چندمرحله‌ای (multi-stage serializer) با clocking بهینه (half-rate یا quarter-rate).
  - TX Driver:
    - ساختار تفاضلی مبتنی بر Current-Mode Logic (CML) ؛
    - دامنه خروجی قابل برنامه‌ریزی در بازه تقریبی ۲۰۰ تا ۶۰۰ میلی‌ولت تفاضلی؛
    - امپدانس خروجی قابل تنظیم (مثلاً در بازه ۴۰ تا ۶۰ اهم)؛
    - پیاده‌سازی به‌صورت segmented driver جهت بهینه‌سازی توان و سیگنالینگ.
  - Pre-emphasis / Equalization:
    - پیاده‌سازی equalization در سمت فرستنده به‌صورت FIR ؛
    - حداقل ۲ tap (main + post-cursor) و ترجیحاً ۳tap-؛
    - ضرایب قابل برنامه‌ریزی با دقت حداقل ۳ بیت؛
    - امکان تنظیم میزان pre-emphasis متناسب با شرایط کانال.
- Clocking و کیفیت سیگنال:
  - تولید سیگنال با jitter پایین و سازگار با لینک‌های پرسرعت کوتاه‌برد؛
  - طراحی باید به‌گونه‌ای باشد که امکان دستیابی به jitter در حد چند پیکوثانیه RMS فراهم باشد.
- توان مصرفی:
  - طراحی باید با هدف دستیابی به بهره‌وری انرژی در حد چند پیکوژول بر بیت انجام شود.

٤- ٢- بخش گیرنده(RX)

- Front-End (AFE);

- Input signaling:
  - Differential / Single-ended (معمولاً differential)؛
  - Voltage swing range (مثلاً: ۴۰۰ mVppd to ۱۰۰)؛
  - Common-mode range (مثلاً: ۰٫۴–۰٫۸V).
- Termination:
  - On-die termination : ۵۰Ω ±۱۰٪ (programmable preferred);
  - Calibration method (ZQ / replica bias).
- Bandwidth آنالوگ گیرنده باید حداقل برابر Nyquist frequency باشد و امکان peaking برای جبران افت کانال فراهم گردد؛
- حداقل ۰٫۷ x Nyquist (برای PAM۲)؛
- برای data rate هدف (مثلاً ۱۶ GHz ≈ ۸ BW → GT/s)؛
- Equalization;
- CTLE;
- Programmable gain peaking (مثلاً ۰ to ۱۲ dB)؛
- Zero/pole tenability;
- استفاده از DFE اختیاری است و باید با تحلیل trade-off بین توان، پیچیدگی و بهبود BER توجیه شود؛
- تعداد tap ها: ۱–۵tap ؛
- Adaptive / fixed;
- Optional;
  VGA (Gain control loop)
  Channel loss target :۱۰ – ۲۰ dB @ Nyquist
- Sampler / Slicer;
- Type : Strong-arm latch / sense amp;
- Offset tolerance: < ۲۰ mV ±؛
- Input-referred noise target;
- Aperture time constraint;
- Clocking Interface;
- Clock from CDR;
- Multi-phase clock (e.g., ۱۶/۸/۴ phase);
- Duty cycle tolerance;
- Performance Metrics;
- BER target :≤ ۱e-۱۲ (typical for UCIe short reach);

HejatElmi.ir

- Sensitivity: Minimum detectable swing (~۵۰ mV) . Sensitivity باید به‌صورت minimum input swing برای دستیابی به BER هدف تعریف و گزارش شود؛
- Jitter tolerance: Sinusoidal + Random jitter mask;
- Power Target;
- توان مصرفی هدف کمتر از ۲۰–۱۰ mW per lane در نرخ ۱۶ GT/s و شرایط nominal است.

٤–۳– Clocking

- استفاده از CDR نوع Bang-bang (Alexander) توصیه می شود، اما سایر معماری‌ها در صورت ارائه تحلیل فنی قابل قبول هستند؛
- Loop bandwidth: ۱–۱۰ MHz بسته به jitter profile؛
- Loop order: 2nd order ؛
- Damping factor: ~۰٫۷ (critically damped).

٤–٤– Training & Calibration

- Link training FSM;
- Deskew;
- Timing calibration.

٤–٥– Interface

- UCIe PHY interface;
- Elastic buffers.

٤–٦– Power Management

- Low power states;
- Dynamic clock gating.

٤–۷– DFT

- Loopback modes;
- Built-in self-test (BIST).

٤-۸- الزامات UCIe Streaming و پروتکل سبک

پشتیبانی از UCIe Streaming mode در سطح PHY الزامی است. جزئیات دقیق این حالت (lane bonding، flow control، alignment) باید در proposal تشریح شود. همچنین ارائه یک لایه پروتکل سبک(adapter) باید در نظر گرفته شود که دارای ویژگی‌های زیر باشد:

۱- مسیر داده (Data Path):

- عرض رابط قابل تنظیم (مثلاً ۱۲۸، ۲۵۶ یا ۵۱۲ بیت)؛
- توان عملیاتی هم‌تراز با نرخ PHY با حداقل سربار.

۲- بسته‌بندی داده (Packetization):

HeratElm.ir

- ارسال مبتنی بر flit یا packet با اندازه ثابت یا قابل تنظیم؛
- سربار header حداقلی.

۳- کنترل جریان(Flow Control) :

- مبتنی بر credit یا معادل آن باشد و نحوه عملکرد آن کاملاً مستند شود؛
- پشتیبانی از backpressure .

۴- قابلیت اطمینان و تشخیص خطا:

- استفاده اجباری از CRC (مثلاً CRC-۱۶ یا CRC-۳۲) نوع CRC باید متناسب با عرض لینک انتخاب و توجیه شود؛
- هدف BER در حد ۱۲-e۱ یا بهتر؛
- در صورت استفاده از مکانیزم retry ، شرایط فعال سازی، زمان بازپخش، و تعامل آن با flow control باید مشخص شود.

۵- تأخیر(Latency) :

طراحی باید کمترین تأخیر ممکن را با حفظ قابلیت اطمینان و پایداری لینک هدف گذاری کند و گروه مجری باید تخمین کمی latency end to end را در پیشنهاد خود ارائه دهند. پیشنهاددهنده باید موارد زیر را گزارش کند: تأخیر PHY، تأخیر لایه adapter .

۶- مدیریت لینک(Link Management) :

- پشتیبانی از deskew و هم‌ترازی lane ها؛
- سازگاری با فرآیند training و initialization در UCIe .

۵- شرایط و الزامات تست، ارزیابی و تأیید

مجری باید مجموعه‌ای از آزمون‌های سطح RTL و سطح mixed signal و سطح سیلیکن پس از tape-out را تعریف و اجرا کند:

- Functional verification (SystemVerilog/UVM) با test bench مستند؛
- simulation در سطح SPICE برای بلوکهای آنالوگ؛
- Mixed-signal co-simulation برای مسیر TX/RX ؛
- ارزیابی eye opening، jitter tolerance، و sensitivity؛
- اندازه‌گیری BER در سناریوهای تعریف شده؛
- اعتبار سنجی link training و deskew و calibration؛
- تحلیل اثر channel و package بر performance.

HejatElmi.ir

تست‌های کلیدی:

- BER measurement;
- Eye diagram analysis;
- Jitter tolerance;
- Link training validation;
- Channel modeling (package-aware).

ارائه test plan و acceptance criteria الزامی است. این موارد لازم است پیش از پذیرش به تأیید به مرکز ملی پیشران طراحی تراشه برسند.

۶- خروجی‌ها و موارد تحویلی مورد انتظار

٦- ١- خروجی‌های شبیه‌سازی و ملزومات نمونه‌سازی:

- RTL (Verilog/System Verilog) و مدل رفتاری؛
- Analog schematics;
- Layout (GDSII);
- LVS/DRC reports;
- Extracted netlists (PEX);
- Timing models (Liberty);
- IBIS/AMI models در صورت نیاز؛
- Test bench and verification environments;
- Test plan and test report;
- معماری سطح بلوک (Block Diagram) ؛
- تعریف پروتکل (ساختارpacket ، کنترل جریان، مدیریت خطا)؛
- تحلیل تأخیر و توان عملیاتی؛
- تخمین مساحت و توان در فناوری هدف؛
- specification معماری و interface؛
- user guide / integration guide;
- Floorplan پیشنهادی؛
- Power grid strategy;
- ESD strategy برای I/O؛
- Package model assumptions.

٦- ٢- ملزومات باندینگ

اندازه، موقعیت، گام و نقشه‌ی چیدمان تمام باندپدها، نقشه اتصالات (Bonding Diagram) و ... جز مواردی است که طراح باید پس از اتمام طراحی در اختیار مرکز ملی پیشران طراحی تراشه قرار دهد.

HeiatElmi.ir

۶- ۳- فایل‌های مستندسازی و تدوین دانش فنی

- Datasheet اولیه IP ؛
- معماری بلوک PHY و دیاگرام‌ها؛
- Manual استفاده و دستورات کنترلی؛
- کد متن نرم‌افزار (Source Code).

۷- قابلیت چیپلتی داشتن (Chiplet-ready)

این PHY باید برای ا ستفاده در معماری chiplet مبتنی بر die to die communication منا سب با شد و از نظر ابعاد رابط، محدودیت bump pitch، package / interposer، latency، power، efficiency و scalability با چنین سامانه‌هایی سازگار باشد:

- قابل استفاده در معماری‌های chiplet باشد؛
- پشتیبانی از interposer-based اتصال؛
- scalable lane architecture;
- این PHY با ید برای short reach channel تا ۱۰ mm طراحی شـــود و تلفات کانال در فرکانس Nyquist باید در حدی باشد که BER هدف حفظ شود؛
- latency optimized برای die-to-die؛
- طراحی با ید با فرض اســـتفاده در advanced packaging (مانند silicon interposer یا organic substrate) انجام شود و محدودیت‌های bump pitch (۴۰µm~ یا کمتر) در نظر گرفته شود.

۸- زمان‌بندی اجرای طرح

برای اجرای طرح ۱۸ ماه زمان پیش‌بینی شده است:

- طراحی معماری و شبیه‌سازی و تولید GDS II : ۱۰ ماه؛
- نمونه‌سازی (Tape out): ۶ ماه؛
- باندینگ، تست و ارزیابی و گزارش‌نویسی: ۲ ماه.

HejatElm.ir

۹- حمایت‌ها

۹- ۱- کمک‌هزینه طراحی

کمک هزینه نیروی انسانی جهت پژوهش و طراحی تا سقف ۳ میلیارد تومان و طبق دستورالعمل بنیاد علم ایران در سال ۱۴۰۵ به شرح زیر خواهد بود:

- هیئت علمی: ۵۰ میلیون تومان در ماه (مجموع بودجه اعضای هیئت علمی در طرح نباید بیش از ۲۰ درصد بودجه طرح باشد)؛
- دانشجو پسا دکتری: ۳۰ میلیون تومان در ماه؛
- دانشجو دکتری: ۱۵ میلیون تومان در ماه؛
- دانشجو کارشناسی‌ارشد: ۸ میلیون تومان در ماه.

۹- ۲- خدمات نمونه‌سازی (Tape out)

ارائه خدمات دسترسی به کارخانه ساخت تراشه (Foundry) و دریافت تکنولوژی‌فایل (PDK) جهت ایجاد فایل GDS II و نمونه‌سازی تراشه‌ها از طریق مرکز ملی پیشران طراحی تراشه و با حمایت برنامهٔ ملی میکروالکترونیک معاونت علمی، فناوری و اقتصاد دانش‌بنیان خواهد بود.

۹- ۳- خدمات باندینگ و تست

این خدمات نیز با حمایت برنامهٔ ملی میکروالکترونیک معاونت علمی، فناوری و اقتصاد دانش‌بنیان و از طریق مرکز ملی پیشران طراحی تراشه ارائه خواهد شد.

۱۰- مالکیت معنوی

مالکیت کلیه دستاوردها و خروجی‌های فنی و علمی پروژه) شامل کدهای HDL ، بلوک‌های IP ، طرح فیزیکی GDSII، اسرار فنی، مستندات و ...) متعلق به طراح خواهد بود، لکن مرکز ملی پیشران طراحی تراشه اجازه بهره‌برداری غیرانحصاری، دائمی، غیرقابل‌فسخ و رایگان از تمامی این دستاوردها و خروجی‌ها را خواهد داشت و می‌تواند از آن‌ها در پروژه‌های دیگر استفاده نماید.

HejatElmi.ir