بسمه‌تعالی

درخواست طرح پیشنهادی (RFP)

پژوهش، طراحی، نمونه‌سازی، تست و تدوین دانش فنی بلوک

PCI Express Gen۳ PHY

با فناوری ۴۰ نانو متر Mixed Signal

تیر ماه ۱۴۰۵

HeiatElmi.ir

۱- مقدمه

برای اکثریت قریب به اتفاق edge inference and embedded systems (دوربین‌های هوشمند، ربات‌های سیار خودران، دروازه‌های صنعتی) پهنای باند حدود ۴ گیگابایت بر ثانیه که توسط یک لینک ساده x٤ نسل سوم PCIe ارائه می شود، نه تنها کافی ا ست، بلکه بهینه نیز هست. نسل سوم این پهنای باند را با توان مصرفی بسیار کمتر، طراحی آنالوگ ساده‌تر روی تراشه و هزینه سیستم بسیار کمتر (بردهای مدار چاپی استاندارد FR-۴، بدون تایمر مجدد) نسبت به نسل‌های جدیدتر ارائه می‌دهد. به عنوان مثالی از فقط یکی از کاربردها، یک شتاب‌دهنده هوش مصنوعی لبه‌ای معمولی را در نظر بگیرید که چندین فید دوربین با وضوح بالا را مدیریت می‌کند. یک لینک x٤ Gen۳ با سرعت ۳,۹۴ گیگابایت بر ثانیه، توان عملیاتی کاملاً دو طرفه ارائه می‌دهد. این مقدار برای موارد زیر کافی است: ۱. چهار فید ویدیویی غیرفشرده (۲۱۶۰p۶۰) ۴K را با فضای خالی پخش کنید. ۲. انتقال وزن مدل میزبان به دستگاه را برای یک شبکه عصبی ۵۰ میلیون پارامتری در کمتر از ۱۵ میلی ثانیه انجام دهید. نسل سوم (Gen۳) قابلیت همکاری فوری با تقریباً هر پردازنده میزبان، چیپست و سوئیچ تولید شده در دهه گذ شته را ت ضمین می‌کند. قابلیت بازگشت به نسل دوم (۵GT/s) یا نسل اول (۲,۵GT/s) عملکرد قابل اعتماد را در محیط های با شرایط سخت الکتریکی یا با میزبان‌های قدیمی تضمین می‌کند و آن را برای کاربردهای خودرو و صنعتی با چرخه عمر طولانی ایده‌آل می‌سازد.

۲- هدف فراخوان

این فراخوان با هدف دریافت پیشنهادهای پژوهشی و صنعتی جهت طراحی و پیاده‌سازی PCI Express Gen۳ Physical Layer (PHY) IP منتشر شده است. اهداف اساسی که مورد انتظار است عبارتند از:

پارامتر	مشخصات
PCIe Standard	PCI Express Base ۳،۱ (backward compatible ۱،۱/۲،۱)
Data Rates	۲,۵ GT/s, ۵,۰ GT/s, ۸,۰ GT/s
Encoding	۸b/۱۰b (Gen۱/۲), ۱۲۸b/۱۳۰b (Gen۳)
Lane Count	x۱, x٤, x۸, x۱٦ (configurable)
PIPE (PHY Interface for PCI Express)	PIPE ۳.x compliant (۱٦-bit SDR / ۸-bit DDR for Gen۳)
Power Management	L۰, L۰s, L۱, L۱،۱/L۱،۲ sub-states
Test/Debug Features	On-chip PRBS-۷/۳۱, loopback, Rx eye scan (٦-bit), margining

۳- مدل اجرای طرح

طرح باید در فرآیند mixed signal نود فناوری ۴۰ نانومتر اجرا شود. همچنین طراحی آنالوگ باید به‌صورت Low-risk, PDK-compliant و بدون نیاز به IP خاص Foundry انجام شود. فایل‌ها و اسناد لازم شامل PDK فناوری مذکور، توسط مرکز ملی پیشران طراحی تراشه در اختیار مجری قرار خواهد گرفت و پشتیبانی‌های فنی و نرم‌افزاری از تیم مجری به عمل خواهد آمد. پس از اتمام طراحی، فایل‌های GDSII مربوطه توسط مرکز ملی پیشران طراحی تراشه و با حمایت برنامه ملی میکروالکترونیک، برای ساخت (Tape Out) به کارخانهٔ تولید کنندهٔ تراشه (Foundry) ارسال خواهد شد و مجری نیازی به تعامل شخصی با Foundry نخواهد داشت. پس از ساخت تراشه، عملیات باندینگ توسط مرکز ملی پیشران طراحی تراشه و در نهایت تست و ارزیابی آن مشترکاً توسط مجری و مرکز ملی پیشران طراحی تراشه انجام خواهد گردید.

۴- دامنه و محدوده طرح‌های پیشنهادی

پیشنهادها باید شامل طراحی، شبیه‌سازی، ساخت، ارزیابی و ارائه PCI Express Gen۳ Physical Layer die IP (PHY) در سیلیکون باشند:

- بر اساس استاندارد ۳,۱ باشد که قابلیت پشتیبانی از استانداردهای ۲,۱ و ۱,۱ را هم داشته باشد؛
- BER برای همه data-rate ها و تحت شرایط تعریف شده برای تلفات کانال کمتر از $۱۰^{-۱۲}$ باشد؛
- افت کانال (حداقل الزامات عملکرد)، PHY باید در شرایط زیر، عملکرد صحیح خود را با نرخ خطای بیت (BER) کمتر از $۱۰^{-۱۲}$ حفظ کند:
  - در صورت عدم استفاده از Decision Feedback Equalizer (DFE)، کانال باید دارای حداقل ۱۴ dB افت درج در فرکانس ۴ گیگاهرتز باشد؛
  - در صورت استفاده از DFE، کانال باید دارای حداقل ۲۰ dB افت درج در فرکانس ۴ گیگاهرتز باشد؛
  - مدل کانال مورد آزمون باید شامل برد FR-٤ چهارلایه، دو کانکتور و یک ویا در هر لایه باشد.
- Random Jitter (Tx) : کمتر از ۲,۵ps-rms باشد؛
- SSC Tracking: ۵۰۰۰ ppm± با کمتر از ۱dB کاهش تلورانس جیتر؛
- Inter-lane Skew Correction: حداقل ۸UI قابلیت deskew؛
- Polarity Inversion : در داخل هر lane پشتیبانی شود.

HelatElmi.ir

- فرستنده: دارای خروجی دیفرانسیلی قابل برنامه ریزی از ۸۰۰ میلی ولت تا ۱۲۰۰ میلی ولت، ۳tap FFE ، ساختار درایور ولتاژ مود SST، مقاومت ۱۰۰ اهمی دیفرانسیلی termination با قابلیت کالیبراسیون بر روی die؛
- گیرنده: شـــامل CTLE ، DFE ،AGC و CDR باشـــد. lock-time برای CDR کمتر از ۲میکروثانیه باشد؛
- PCS & Data-Path : شـامل dual-mode gearbox ، elastic-buffer و لاجیک برای lane-deskew باشد؛
- Clocking : ساختار PLL با قابلیت پوشش فرکانس های ۲,۵، ۵ و ۸ گیگاهرتز؛
- Test & Debug: تولید کننده و چک کننده PRBS-۷ و PRBS-۳۱ برای تست loopback ؛
- مساحت کل برای x۱۶ شامل (PCS,PLL, PADs) ترجیحاً کمتر از ۵ میلی متر مربع باشد.

۵- خروجی‌ها و موارد تحویلی مورد انتظار

۵- ۱- خروجی شبیه‌سازی‌ها، ملزومات نمونه‌سازی و تست

Description	Deliverable Item	Category
DRC/LVS/antenna-clean layout of the complete PHY: PCS, PLL, I/O pads, ESD structures, decoupling, and seal ring.	GDSII Hard Macro (final production)	Design Database & Physical Views
Physical abstract for automated place & route: pin locations, metal blockages, obstructions, and routing guides.	LEF Abstract (Cadence LEF ۵,۷+)	
NLDM and CCS models for all digital interface pins; clock-to-out, setup/hold, and constraining timing arcs.	Timing Library (.lib)	
Transistor-level netlist for final LVS verification against GDSII.	CDL Netlist (translator-ready)	
Post-layout parasitic (R-C-CC) for critical analog lanes; enables chip-level power/performance sign-off.	Extracted SPICE Netlist	
Documentation mapping GDSII layers to target	Layer Map & Tec file Info	

foundry mask layers; includes dummy fill exclusion guidelines.		
Full reports proving clean runs with the foundry-qualified rule deck for the chosen ٤٠nm PDK.	DRC/LVS/ERC Sign-off Reports	
Encrypted System Verilog BFM for the PIPE ٣.x interface, enabling controller-side simulation without internal PHY visibility.	PIPE Interface Bus-Functional Model	Digital Integration & Test Collateral
(Optional) Clean Verilog if top-level digital logic (register interface, PMU) requires soft implementation.	Synthesis-ready RTL for Digital Wrapper	
Rules for integrating PHY into full-chip scan chain (safe I/O boundary, test-mode controls).	Scan/DFT Insertion Guidelines	
Tcl scripts and SDC constraint files for the vendor-recommended STA tool.	Static Timing Analysis (STA) Scripts	
Translation models for coverage calculation if the PHY contains scan flops.	ATPG Models	
Complete UVM testbench with agents, scoreboards, coverage groups, and sequence libraries for PCIe ٣,١ LTSSM, recovery equalization, power states, and error injection.	UVM Verification IP (VIP) Package	Verification Environment & Compliance Suite
Wrapper that mimics the PHY's PIPE-side behavior for initial controller integration testing.	PHY-Bus Verilog Model	
Pre-defined sequences (PRBS, compliance patterns, jitter tolerance stimulus) for lab validation.	Compliance Test Vectors	

HejatElmi.ir

Makefile/shell/Python scripts to run full UVM regression, coverage collection, and report generation.	Regression Scripts	
SVA bindings for PIPE interface and critical state machines; formal proof scripts (if applicable) for deadlock-free LTSSM transitions.	Assertion & Formal Verification Scripts	

۵- ۲- ملزومات باندینگ

اندازه، موقعیت، گام و نقشه‌ی چیدمان تمام باندپدها، نقشه اتصالات (Bonding Diagram) و ... جز مواردی است که طراح باید پس از اتمام طراحی در اختیار مرکز ملی پیشران طراحی تراشه قرار دهد.

۵- ۳- فایل‌های مستندسازی و تدوین دانش فنی

- Datasheet اولیه IP ؛
- معماری بلوک PHY و دیاگرام‌ها؛
- Manual استفاده و دستورات کنترلی؛
- کد متن نرم‌افزار (Source Code).

۶- زمان‌بندی

برای اجرای طرح ۱۸ ماه زمان پیش‌بینی شده است:

- طراحی معماری و شبیه‌سازی و تولید GDS II : ۱۰ ماه؛
- نمونه‌سازی (Tape out): ۶ ماه؛
- باندینگ، تست و ارزیابی و گزارش‌نویسی: ۲ ماه.

۷- حمایت‌ها

۷- ۱- کمک‌هزینه طراحی

کمک هزینه نیروی انسانی جهت پژوهش و طراحی تا سقف ۵ میلیارد تومان و طبق دستورالعمل بنیاد علم ایران در سال ۱۴۰۵ به شرح زیر خواهد بود:

- هیئت علمی: ۵۰ میلیون تومان در ماه (مجموع بودجه اعضای هیئت علمی در طرح نباید بیش از ۲۰ درصد بودجه طرح باشد)؛

HejatElmi.ir

- دانشجو پسا دکتری: ۳۰ میلیون تومان در ماه؛
- دانشجو دکتری: ۱۵ میلیون تومان در ماه؛
- دانشجو کارشناسی‌ارشد: ۸ میلیون تومان در ماه.

۷- ۲- خدمات نمونه‌سازی (Tape out)

ارائه خدمات دسترسی به کارخانه ساخت تراشه (Foundry) و دریافت تکنولوژی‌فایل (PDK) جهت ایجاد فایل GDS II و نمونه‌سازی تراشه‌ها از طریق مرکز ملی پیشران طراحی تراشه و با حمایت برنامهٔ ملّی میکروالکترونیک معاونت علمی، فناوری و اقتصاد دانش‌بنیان خواهد بود.

۷- ۳- خدمات باندینگ و تست

این خدمات نیز با حمایت برنامهٔ ملّی میکروالکترونیک معاونت علمی، فناوری و اقتصـــاد دانش‌بنیان و از طریق مرکز ملّی پیشران طرّاحی تراشه ارائه خواهد شد.

۸- مالکیت معنوی

مالکیت کلیه دستاوردها و خروجی‌های فنی و علمی پروژه) شامل کدهایHDL ، بلوک‌هایIP ، طرح فیزیکی GDSII، اســرار فنی، مســتندات و ...) متعلق به طراح خواهد بود، لکن مرکز ملی پیشــران طراحی تراشــه اجازه بهره‌برداری غیرانحصاری، دائمی، غیرقابل‌فسخ و رایگان از تمامی این دستاوردها و خروجی‌ها را خواهد داشت و می‌تواند از آن‌ها در پروژه‌های دیگر استفاده نماید.

HejatElmi.ir