بسمه‌تعالی

درخواست طرح پیشنهادی (RFP)

پژوهش، طراحی، نمونه‌سازی، تست و تدوین دانش‌فنی بلوک DDR٤ PHY

با فناوری ۴۰ نانو متر Mixed Signal

تیر ماه ۱۴۰۵

HejatElmi.ir

۱- مقدمه

با افزایش نیاز به انتقال داده با سرعت بالا در سامانه‌های محاسباتی، شبکه‌های پرسرعت، حافظه‌های HBM/GDDRو سیستم‌های ذخیره سازی، طراحی بلوک‌های High-Speed I/O PHY به یکی از بخش‌های حیاتی تراشه‌های پیشرفته تبدیل شده است. این بلوک‌ها مسئول تبدیل سیگنال‌های دیجیتال داخلی تراشه به سیگنال‌های الکتریکی فیزیکی روی پدها و بالعکس هستند. بلوک‌های PHY ، عملکرد صحیح رابط‌های DDR را تضمین می‌کنند و نقش مهمی در پایداری، توان، و پهنای‌باند تراشه‌ها دارند. این فراخوان صرفاً بر PHYهای DDR٤ برای ارتباط off-chip متمرکز است.

۲- هدف فراخوان

هدف اصلی این فراخوان طراحی، ساخت و تست آزمایشگاهی یک PHY DDR٤ شامل بخش‌های آنالوگ و دیجیتال برای ارتباطات با تراشه DRAM واقعی است.

این پروژه شامل طراحی DRAM die نمی‌باشد و حافظه DDR٤ روی PCB قرار خواهد داشت. همچنین این طرح فقط DDR PHY را در بر می‌گیرد و شامل memory controller نیست. این فراخوان با هدف پاسخ به همین نیاز و توسعه IP Blocks قابل اتکا، قابل‌استفاده در صنعت منتشر می‌شود.

طراحی باید به‌گونه‌ای انجام شود که قابلیت توسعه به نسل‌های بعدی (مانند LPDDR یا PHYهای مبتنی بر معماری‌های پیشرفته‌تر) را داشته باشد.

۳- مدل اجرای طرح

طرح باید در فرآیند mixed signal نود فناوری ۴۰ نانومتر اجرا شود. در همین راستا، فایل‌ها و اسناد لازم شامل PDK فناوری مذکور، توسط مرکز ملی پیشران طراحی تراشه در اختیار مجری قرار خواهد گرفت و پشتیبانی‌های فنی و نرم‌افزاری از تیم مجری به عمل خواهد آمد. پس از اتمام طراحی، فایل‌های GDSII مربوطه توسط مرکز ملی پیشران طراحی تراشه و با حمایت برنامه ملی میکروالکترونیک، برای ساخت (Tape Out) به کارخانهٔ تولید کنندهٔ تراشه (Foundry) ارسال خواهد شد و مجری نیازی به تعامل شخصی با Foundry نخواهد داشت. پس از ساخت تراشه، عملیات باندینگ توسط مرکز ملی پیشران طراحی تراشه و در نهایت تست و ارزیابی آن مشترکاً توسط مجری و مرکز ملی پیشران طراحی تراشه انجام خواهد گردید.

HelatElmi.ir

۴- دامنه و محدوده طرح‌های پیشنهادی

مساحت مورد نیاز طراحی ترجیحاً بایدکمتر از ۴ میلیمتر مربع برای یک کانال x۱۶ باشد و طرح‌های پیشنهادی باید شامل طراحی، شبیه سازی، سنتز، ساخت، ارزیابی و ارائه die حداقل ارائه یک کانال کامل DDR٤ PHY شامل حداقل data width x١٦ در سیلیکون باشند:

DDR٤ PHY

- پشتیبانی از DDR٤-٢١٣٣ و DDR٤-٢٤٠٠ الزامی است. پشتیبانی از نرخ داده تا ۲۴۰۰ MT/s (DDR٤-٢٤٠٠) الزامی است. طراحی باید قابلیت عملکرد پایدار در بدترین شرایط PVT (تغییرات +/- ۱۰درصد برای vdd، رنج دمایی ۰ تا ۸۵ درجه و گوشه های پروسس) را داشته باشد و حاشیه زمانی (Timing Margin) در گزارش نهایی ارائه گردد؛
- تطبیق با استاندارد JEDEC DDR٤ الزامی است؛
- اگر چه طراحی Memory Controller در دامنه این پروژه نیست، اما ارائه یک PHY controller حداقلی (PHY-side control logic) برای انجام فرآیندهای initialization، training و calibration الزامی است. این بخش می‌تواند از طریق رابط DFI توسط یک کنترلر خارجی نیز قابل کنترل باشد؛
- مدارهای address/command phy، DQ, DQS, DM, CK و ZQ calibration و internal reference generation, و on die termination controller و PHY داخلی؛
- طراحی و پیاده‌سازی حداقل یک کانال DDR٤ با عرض باس ۱۶ بیت داده (اختیاری: ۸ ECC بیت)؛
- توان مصرفی PHY در حالت DDR٤-٢٤٠٠ برای یک کانال x١٦ باید گزارش شود. هدف پیشنهادی کمتر از ۸۰۰ میلی‌وات در شرایط Typical (VDD nominal، دمای اتاق، الگوی ترافیک مشخص) است. روش اندازه‌گیری باید به‌طور کامل مستند شود؛
- پشتیبانی از Calibration و تمامی طرح‌ها باید الزامات چیپلتی زیر را رعایت کنند:
  - DDR٤ PHY موضوع این طرح، مطابق استاندارد DFI نسخه ۴,۰ باشد. به DDR controller متصل خواهد شد و رابط حافظه آن مطابق استاندارد JEDEC DDR٤ برای اتصال off-package به DRAM روی PCB طراحی و تست خواهد شد. برای اتصال به DRAM، باید الزامات SI تعیین و به دقت شبیه سازی (EM simulation) شوند. تحلیل SI باید شامل شبیه سازی کانال کامل (Driver + Package + PCB trace + Connector + DRAM model) با استفاده از مدل های IBIS یا equivalent باشد. ارائه Eye Diagram و انطباق با JEDEC mask الزامی است؛
  - پشتیبانی از Multiple Power Domain و Clock Domain ؛
  - ارائه مدل I/O ، Floorplan، Pin Assignment برای MPW .

۵- خروجی‌ها و موارد تحویلی مورد انتظار

۵-۱- خروجی‌های شبیه‌سازی

- RTL و تست‌بنچ کامل؛
- شبیه‌سازی Corner Case و Throughput ؛
- گزارش Coverage و Functional Verification ؛
- ارائه تحلیل SI شامل شبیه سازی channel (PCB trace + connector + DRAM model) و گزارش تطابق با eye mask DDR٤ الزامی است.

۵-۲- ملزومات نمونه‌سازی (Tape out)

- DRC/LVS clean;
- فایل‌های Tape-Out Ready ؛
- فایل‌های پکیج تست برای ساخت MPW .

۵-۳- ملزومات باندینگ

اندازه، موقعیت، گام و نقشه‌ی چیدمان تمام باندپدها، نقشه اتصالات (Bonding Diagram) و ... جز مواردی است که طراح باید پس از اتمام طراحی در اختیار مرکز ملی پبشران طراحی تراشه قرار دهد.

۵-۴- ملزومات تست و ارزیابی

- طراحی و ساخت بورد تست ساده برای ارزیابی DDR٤ PHY شامل مسیرهای TX/RX ، کانکتور مناسب، تغذیه‌ها و نقاط تست. تست سازگاری با حداقل دو ماژول DDR٤ تجاری (DIMM یا discrete DRAM) الزامی است. تست با حداقل دو DRAM ساخته شده توسط دو شرکت مختلف مثلا سامسونگ و میکرون باید انجام شود؛
- ارائه گزارش Eye Diagram، Timing Margin Sweep و BER measurement در فرکانس هدف الزامی است؛
- ارائه متن کد firmware یا ا سکریپت‌های اولیه برای راه‌اندازی PHY ، تنظیم رجیسترها و انجام تست‌های پایه؛
- تست Throughput، Latency، Power؛
- تست Corner (ولتاژ و دما) در حد امکانات آزمایشگاهی و با گزارش محدودیت‌ها؛
- Silicon Validation Report شامل مقایسه با مدل پیش‌بینی شده.

۵-۵- فایل‌های مستندسازی و تدوین دانش فنی

- Timing constraints (SDC);

HejatElmi.ir

- Liberty models (در صورت امکان)؛
- IBIS models برای I/O؛
- Datasheet اولیه IP ؛
- معماری بلوک PHY و دیاگرام‌ها؛
- راهنمای ادغام با DDR controller و DRAM؛
- Manual استفاده و دستورات کنترلی؛
- کد متن نرم‌افزار (Source Code).

۶- زمان‌بندی اجرای طرح

برای اجرای طرح ۱۸ ماه زمان پیش‌بینی شده است:

- طراحی معماری و شبیه‌سازی و تولید GDS II : ۱۰ ماه؛
- نمونه‌سازی (Tapeout): ۶ ماه؛
- باندینگ، تست و ارزیابی: ۲ ماه.

۷- حمایت‌ها

۷- ۱- کمک‌هزینه طراحی

کمک هزینه نیروی انسانی جهت پژوهش و طراحی تا سقف ۳,۵ میلیارد تومان و طبق دستورالعمل بنیاد علم ایران در سال ۱۴۰۵ به شرح زیر خواهد بود:

- هیئت علمی: ۵۰ میلیون تومان در ماه (مجموع بودجه اعضای هیئت علمی در طرح نباید بیش از ۲۰ درصد بودجه طرح باشد)؛
- دانشجو پسا دکتری: ۳۰ میلیون تومان در ماه؛
- دانشجو دکتری: ۱۵ میلیون تومان در ماه؛
- دانشجو کارشناسی‌ارشد: ۸ میلیون تومان در ماه.

۷- ۲- خدمات نمونه‌سازی (Tape out)

ارائه خدمات دسترسی به کارخانه ساخت تراشه (Foundry) و دریافت تکنولوژی‌فایل (PDK) جهت ایجاد فایل GDS II و نمونه‌سازی تراشه‌ها از طریق مرکز ملی پیشران طراحی تراشه و با حمایت برنامهٔ ملی میکروالکترونیک معاونت علمی، فناوری و اقتصاد دانش‌بنیان خواهد بود.

HelatElm.ir

۷- ۳- خدمات باندینگ و تست

این خدمات نیز با حمایت برنامهٔ ملی میکروالکترونیک معاونت علمی، فناوری و اقتصـــاد دانش‌بنیان و از طریق مرکز ملی پیشران طراحی تراشه ارائه خواهد شد.

۸- مالکیت معنوی

مالکیت کلیه دستاوردها و خروجی‌های فنی و علمی پروژه (شامل کدهایHDL ، بلوک‌هایIP ، طرح فیزیکی GDSII، اســرار فنی، مســتندات و ...) متعلق به طراح خواهد بود، لکن مرکز ملی پیشــران طراحی تراشــه اجازه بهره‌برداری غیرانحصاری، دائمی، غیرقابل‌فسخ و رایگان از تمامی این دستاوردها و خروجی‌ها را خواهد داشت و می‌تواند از آن‌ها در پروژه‌های دیگر استفاده نماید.

HejatElmi.ir